

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-327409  
 (43)Date of publication of application : 10.12.1993

(51)Int.CI. H03H 17/02

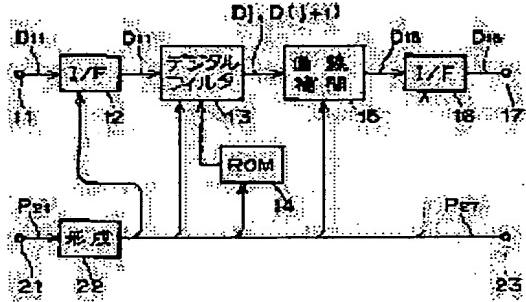
(21)Application number : 04-155725 (71)Applicant : SONY CORP  
 (22)Date of filing : 22.05.1992 (72)Inventor : NOGUCHI MASAYOSHI  
 YAMADA MAKOTO

## (54) RATE CONVERSION METHOD AND ITS CONVERSION CIRCUIT

## (57)Abstract:

PURPOSE: To provide a rate conversion method and its conversion circuit able to obtain a sufficient characteristic practically from a ROM of even a small capacity.

CONSTITUTION: The conversion circuit is provided with a digital filter 13 receiving a 1st digital signal D11 to implement oversampling for a multiple of (m) ( $m > 2$  being an integral number) of a 1st sampling frequency and with an interpolation circuit 15 implementing linear interpolation with respect to an input signal. Operation by the digital filter 13 is applied to the 1st digital signal D11 at points of 1st and 2nd times having a 2nd digital signal D15 before and after inbetween timewise among point of times  $t_1 - t_m$  being  $m$ -equal divisions of a period of the 1st digital signal D15. The result of the operation at the 1st and 2nd point of times is fed to the interpolation circuit 15, from which a 2nd digital signal D15 is obtained.



## LEGAL STATUS

[Date of request for examination] 18.05.1999

[Date of sending the examiner's decision of rejection] 12.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本固特許庁 (JP)	(12)公開特許公報 (A)	(11)特許出願公開番号 特開平5-327	技術種
		(43)公開日 平成5年(1993)	

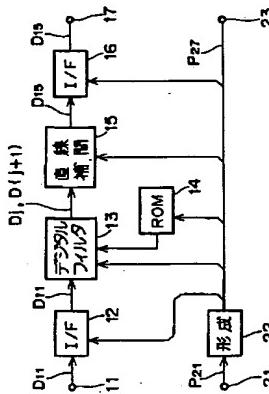
	審査請求 未請求 請求項の数4(全7頁)
(21)出願番号	特願平4-155725
(22)出願日	平成4年(1992)5月22日
(71)出願人	000002185 ソニー株式会社
(72)発明者	野口 雅義 東京都品川区北品川6丁目7番35号 ソニ 一株式会社内
(72)発明者	山田 誠 東京都品川区北品川6丁目7番35号 ソニ 一株式会社内
(74)代理人	佐藤十 正善

(54) [発明の名称] レート変換方法及びその変換回路

(55) [要約]

【目的】 小容量のROMであつても、実用上、十分な特性を得ることができるレート変換方法及びその変換回路を提供する。

【構成】 第1のデジタル信号D11が供給され、第1のサンプリング周波数のm倍 ( $m > 2$  の整数) のオーバーフローにより第1のデジタル信号D11に対する補間回路15を取る。入力信号に対しても同様に第2のデジタル信号D11を取る。第1のデジタル信号D11の周期をm等分する時点t1～tmのうち、第2のデジタル信号D15を時間的に前後に並べ替わる。第1及び第2の時点t1とt2との間に、第1のデジタル信号D11に対する補間回路15の演算を行う。第1及び第2の時点t1とt2との間に、第2のデジタル信号D15に対する補間回路15の演算の結果を、補間回路15に供給して第2のデジタル信号D15を得る。



上記第1のデジタル信号と、上記第2のデジタル信号と、上記第2のデジタル信号における、上記第2のデジタル信号の最小公倍数の周期における、上記第2のデジタル信号の周期数を  $m \cdot n$  ( $m, n$  は2以上の整数) とするとき、上記第1のデジタル信号が供給され、上記第1のサンプル

リソルバの波数のm倍のオーバーサンプリングを行うデータを用いて、  
上記第1のデジタル信号に対する直線補間を行う補間回路とを有し、  
入力信号に対して直線補間を行う補間回路とを有し、  
上記デジタルフィルタにおいて、上記第1のデジタル信号  
の周期を、m倍する時点のうち、上記第2のデジタル信号  
の周期を、m倍する時点の前に後から挿入する時点に  
上記第1のデジタル信号に対してm倍のオーバーサン  
プリングを行なう。

【発明の詳細な説明】  
【0001】  
【蓮蓬上の利用分野】この発明は、デジタルデータの一  
ト変換方法及びその実験回路に関する。

【従来の技術】例えばデジタルオーディオ機器においては、ミクサーオーバードライブのサンプル・ドライバ

は、アーブルカーナオヨウシノソノハジメテ、一般に48 kHz、44.1 kHz、32 kHzが使用されている。

【0003】このため、デジタルオーディオ信号に対して、そのサンプリング周波数の変更、すなわち、レーベル・シフトを実現する。

〔0004〕そして、このレート変換の方法として、  
① 直線補間により変換する方法

## ② 選択的なオーバーサンプリングにより置換変換する方法

[100051] すなわち、①の方法の場合には、もとのナロクオニ-テイオノ母が、図5日の寒緋の曲線で示されている。

れ、レート変換前のクロック（A/D 調換点）が、図 A で示されるとすれば、レート変換前のデジタルオーディオ信号は、図 5 B において●印を付したデータとなる。そして、レート変換後のクロックが、図 5 C で示されるるとすれば、破線で示すように、これまで●印を詰ぶ

線を設定し、その×印を引いたデータを、レート変換デジタルオーディオ信号として取り出す。  
【00】また、②の方法の場合には、レート変換デジタルオーディオ信号のサンプリング周波数と、データ変換後のデジタルオーディオサンプリングの周波数は、前者の半分である。一方で、オーバーサンプリングの回路構成によって、データ変換後のデジタルオーディオサンプリングの周波数を、後者の半分とする。

そして、変換後のサンプリング点と一致するレート変換前のオーバーサンプリング点について、実際の計算を行い、レート変換されたデジタルオーディオ信号を得るものである。

一方で、レート変換後のデジタルオーディオ信号に同様の制御信号及びタイミング信号が形成され、これら信号が、後述の回路1と回路2とを接続する回路2に供給されて各種の制御信号及びタイミング信号が形成され、これら信号が、後述の回路1と回路2とにそれぞれ供給される。また、形成回路2 2に

「分明が解決しようとする課題」ところが、①の方法の場合には、直結構造のため、図5からも明らかかなうに、レート変換後のデジタルオーディオ信号におけるレベルの階躍が大きくなることがある。さらに、折り返し成分を十分に試験させることができない。

10008】また、②の方法の場合には、オーバーサンプリングの周波数が、レート変換前のデジタルオーディオ信号のサンプリング周波数と、レート変換後のデジタルオーディオ信号のサンプリング周波数との最小公倍数となるので、変換するレートとの組み合わせが例えば44.1 kHz及び48kHzのときには、最小公倍数が大きくなつて高くなってしまう。この結果、オーバーサンプリングに使用するデジタルフィルタの乗算回路の数がわかつて多くなり、その乗算回数をもつるROMとして、膨大な容量のものが必要となつてしまふ。

【10009】この発明は、以上のような問題点を解決し

【0010】 「課題を解決するための手段」このため、この発明においては、各部の参照元件を後述の実施例に対応させる」と、第1のサンプリング周波数の第1のデジタル信号D11を、第2のサンプリング周波数の第2のデジタル信号D15にレート変換する場合において、第1のデジタル信号D11が供給され、第1のサンプリング周波数m倍の信号D11が供給され、第1のオーバーサンプリングを行なうデジタルフィルタ1と、入力信号D11に対して直結端子10を行なう補間回路15などを設け、第1のデジタル信号D11の周期Tをm等分する時点t1～tmのうち、第2のデジタル信号D15を行なう時間的に前後から抉り出す第1及び第2の時点に、第1のデジタル信号D11に対してデジタルフィルタ1の演算を行い、第1及び第2の時点における演算の結果を、補間回路15に供給して第2のデジタル信号D15を得るようにしたものがである。

【実施例】図1において、レード変換前のデジタルオーディオ信号に同期したクロックP21が、端子2-1を通じてバーサンプリングされる。そして、このオーディオ信号は、第2のデジタル信号D15を時間的に前後から挟む2つの時点においてのみ、実行される。そこで、このオーディオ信号D15により直線補間され第2のデジタル信号D15が取り出される。

おきの原数  $k_3$ 、 $k_7$ 、 $k_{11}$ 、 $k_{15}$ 、 $k_{19}$ 、 $k_{23}$ が、R で出力する。  
 以上のようにすれば、任意のレート変換を行うことができる。  
 【0025】ただし、その場合、位相を大きくすると、  
 NPF16にセットされて濁音が発行される。

この取り出されたデータ D1 は、レート変換後のクロック P27 ごとに得られるので、レート変換特性だけをよくしてても意味がないので、レート変換特性は必要最小限となる程度に小さい値 m を選択し、この場合の信号 D11 の特徴などに限りがあるが、実際には、それだけレート変換特性が良くなるが、実際には、レート変換前の信号 D11 の特徴などに限りがあるが、実際には、その場合の 1 / n にすることができる。

【0 0 2 7】つまり、値 m を大きくすれば、理論的にこの取り出されたデータ D1 は、レート変換特性だけをよくしてても意味がないので、レート変換特性は必要最小限となる程度に大きい値 m を選択し、この場合の信号 D11 の特徴などに限りがあるが、実際には、その場合の 1 / n にすることができる。

【0 0 2 6】そこで、この発明においては、値 m は折り返し成分を許容する最小の値 m に選択する。そして、そのようにすれば、ROM 14 の容量を、上述したのの方法の場合は 1 / n にすることができる。

【0 0 2 5】この取り出されたデータ D1 は、レート変換前の信号 D11 の特徴などに限りがあるが、実際には、その場合の 1 / n にすることができる。

【0024】1. レート変換前の信号 D11 (クロック P2) を 1/n にすることができる。

【0025】2. レート変換後の信号 D15 (クロック P21) の周期が小公倍数の周期における値 (m・n) 倍となる (m、n は 2 以上の整数)。

このデータ D15 (= Di) が、出力インターフェイス回路 6 を通じて端子 17 にレート変換されたデジタルオーディオ信号 D15 として出力される。

【0023】こうして、デジタルオーディオ信号のレート変換を行うことができるが、一般的には、次のとおりである。

【0024】1. レート変換前の信号 D11 (クロック P2) を 1/n にすることができる。

【0025】2. レート変換後の信号 D15 (クロック P21) の周期が小公倍数の周期における値 (m・n) 倍となる (m、n は 2 以上の整数)。

【0026】3. レート変換前の信号 D11 のサンプリング周波数の m 倍

【0027】4. レート変換後の信号 D15 のサンプリング周波数の n 倍

【0028】例えば、サンプリング周波数を 44.1 kHz から 32 kHz にレート変換する場合であれば、m・n=320 になるが、例えば m=40、すなわち、フィルタ 13 のオーバーサンプリングを 40 倍とする。すると、n=8 となり、ROM 14 の容量を 1/8 に削減することができ

【0029】この発明によれば、デジタルフィルタ 1 及び直結構成ル 1 5 によりレート変換を行うようにしたので、デジタルフィルタ 1 3 の係数用 ROM 1 4 の

[0030]また、1組のレート変換に必要な乗算係数の数が $1/n$ になるので、複数組のレート変換に必要な乗算係数のすべてを、ROM 14に用意することでも複数のレート変換モードに対応できる最適な路路を、  
1チップのLSIで実現することができる。

[0031]さらに、位相として大きな位が必要な場合には、フィルタ 13におけるオーバサンプリングの演算回数及び演算時間が問題となるが、この発明においては、レート変換後の信号D15(クロックP27)が被前後の時点t<sub>i</sub>、t<sub>i+1</sub>についてのみ、オーバーサンプリングの演算を行えばよいので、すなわち、レート変換後の信号D15の2倍の数だけオーバサンプリングの次の信号D16(クロックP27)を用いて、  
t<sub>i</sub>～t<sub>m</sub>を定める。

5. 時点t<sub>1</sub>～t<sub>m</sub>のうち、レート変換後のクロックP27の直前の時点を時点t<sub>j</sub>とするとき、この時点t<sub>j</sub>と、続く時点t<sub>j+1</sub>とににおいてのみ、フィルタ 13の演算を実行する(図1は1～mのいずれか。j=三つのとき、j+1=1とする)。この演算結果を、位相D<sub>i</sub>、D<sub>(i+1)</sub>とする。

6. 時点t<sub>j+1</sub>と、時点t<sub>j+1</sub>との間の距離を、n等分する。

3. フィルタ 13の出力に対して、並線補間を行う補間回路 1.5を設ける。

4. レート変換前の信号D11の周期Tを、m等分する特點t<sub>1</sub>～t<sub>m</sub>を定める。

7. 1/n等分による時点のうちの1つの時点  $t_i$  が、1.項により、レート変換後の信号 D15 の時点に一致するので、この一致する時点  $t_i$  における値  $D_i$  を、値  $D_j$ 、 $D_{(j+1)}$  から順序間隔により求める。すなはち

$$D_i = (D_{(j+1)} - D_j) \cdot (N/n) + D_j$$

N: 時点  $t_i$  からの時点  $t_i$  の順番から、値  $D_i$  を求めること。

8. この求めた値  $D_i$  を、レート変換された信号 D15 とする。

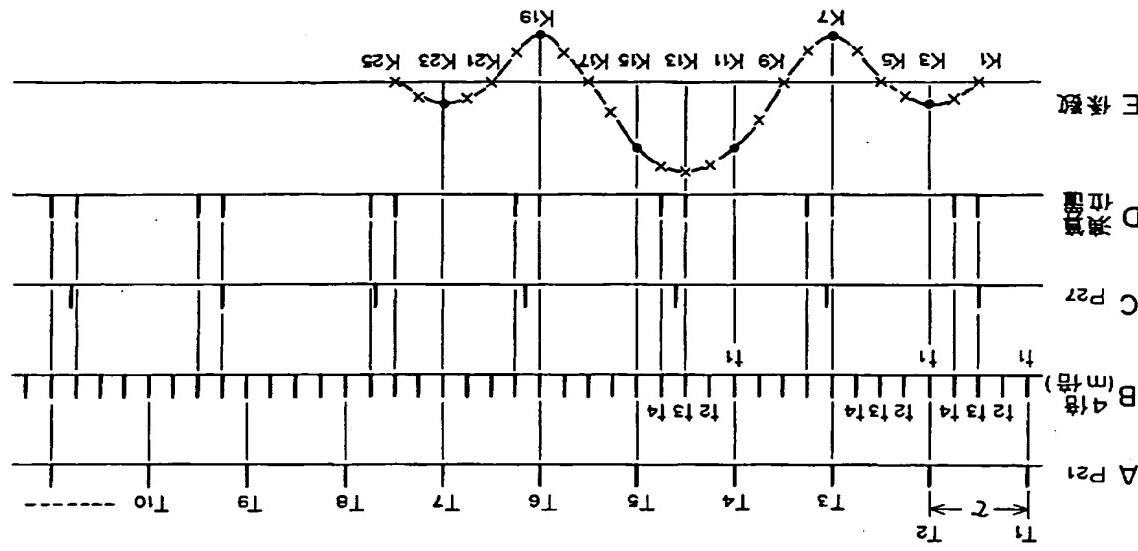
9. 表示はよいので、演算回数が底 m に影響されないとともに、処理時間に余裕ができる。

[0032] また、ROM 14 は、例えば 4 倍のオーバーサンプリングに必要なすべての乗算係数  $k_1 \sim k_{25}$  を有しているが、1 回の演算では、図 3 E の例えば印の位置の乗算係数、すなはち乗算係数  $k_1 \sim k_{25}$  のうちの 4 つ ( $=m$ ) おきの乗算係数を、例えば図 2 に示すように、乗算回路 MP11～MP16 にセットして使用するだけなので、並 m の大きさによって演算回数が変化することがある。

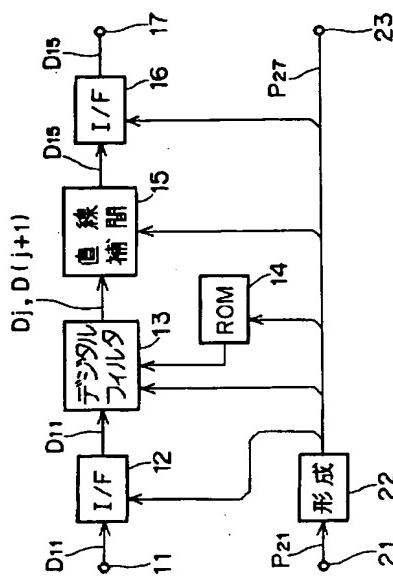
なく、したがつて、信号D15の1サンプルを求めるのに必要とする演算時間も信号mに影響されない。  
【図面の簡単な説明】  
【図1】この発明の一例を示す系統図である。  
【図2】図1の一部の一例を示す系統図である。  
【図3】図1の動作を説明するための図である。  
【図4】図1の動作を説明するための図である。  
【図5】送り例を説明するための図である。

- 【符号の説明】  
 1.2 入力インターフェイス回路  
 1.3 デジタルフィルタ  
 1.4 係数用ROM  
 1.5 直線補間回路  
 1.6 出力インターフェイス回路  
 2.2 信号形成回路

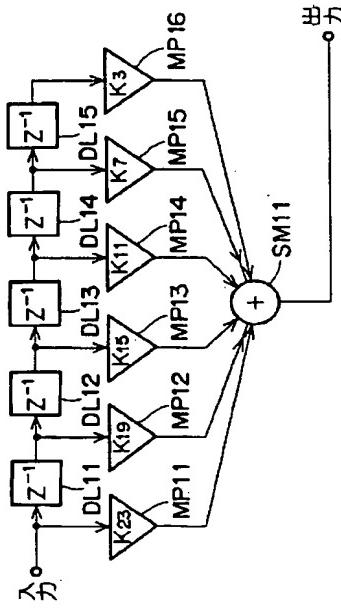
[図3]



[図1]



[図2]



(7)

特開平5-327409

